

PATENT COOPERATION TREATY

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Commissioner
 US Department of Commerce
 United States Patent and Trademark
 Office, PCT
 2011 South Clark Place Room
 CP2/5C24
 Arlington, VA 22202
 ETATS-UNIS D'AMERIQUE
 in its capacity as elected Office

Date of mailing (day/month/year) 31 July 2001 (31.07.01)	
International application No. PCT/EP00/08398	Applicant's or agent's file reference PC9722BR/ad
International filing date (day/month/year) 29 August 2000 (29.08.00)	Priority date (day/month/year) 22 September 1999 (22.09.99)
Applicant FEY, Wolfgang et al	

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International Preliminary Examining Authority on:
 17 April 2001 (17.04.01)

☐ in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was
☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer Zakaria EL KHODARY Telephone No.: (41-22) 338.83.38
--	---

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
29. März 2001 (29.03.2001)

PCT

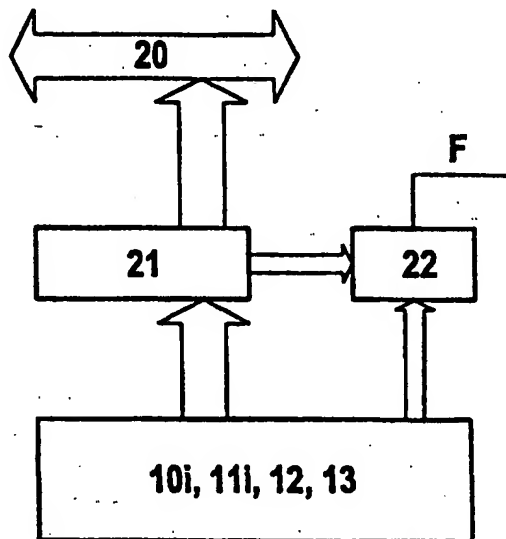
(10) Internationale Veröffentlichungsnummer
WO 01/22225 A1

- (51) Internationale Patentklassifikation: G06F 11/10 (72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): FEY, Wolfgang
(21) Internationales Aktenzeichen: PCT/EP00/08398 [DE/DE]; Nesselweg 17, D-65527 Niedernhausen (DE).
TRASKOV, Adrian [DE/DE]; Hardtbergstrasse 8,
(22) Internationales Anmeldedatum: D-61449 Steinbach (DE). TRUOEL, Jan [DE/DE];
Kantstrasse 2, D-64347 Griesheim (DE).
29. August 2000 (29.08.2000)
(25) Einreichungssprache: Deutsch (74) Gemeinsamer Vertreter: CONTINENTAL TEVES AG
& CO. OHG; Guerickestrasse 7, D-60488 Frankfurt am
(26) Veröffentlichungssprache: Deutsch Main (US).
(30) Angaben zur Priorität: (81) Bestimmungsstaaten (national): JP, US.
199 45 494.9 22. September 1999 (22.09.1999) DE
100 18 722.6 15. April 2000 (15.04.2000) DE
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme (84) Bestimmungsstaaten (regional): europäisches Patent (AT,
von US): CONTINENTAL TEVES AG & CO. OHG BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
[US/US]; Guerickestrasse 7, D-60488 Frankfurt am Main NL, PT, SE).
(US).
Veröffentlicht:
— Mit internationalem Recherchenbericht.

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD AND CIRCUIT CONFIGURATION FOR STORING DATA WORDS IN A RAM MODULE

(54) Bezeichnung: VERFAHREN UND SCHALTUNGSANORDNUNG ZUM SPEICHERN VON DATENWORTEN IN EINEM
RAM MODUL



(57) Abstract: The invention relates to a method for storing data words in a RAM module that is especially suited for applications that are critical with regard to safety. The inventive method is characterized by the following steps: producing a test bit word from at least one data word when writing the at least one data word into the RAM module, storing the test bit word, reading out test bit word when reading out the at least one data word from the RAM module, regenerating the test bit word from the at least one read out data word, comparing the read out test bit word with the regenerated test bit word and generating an error message if they do not correspond. The invention further relates to a corresponding circuit configuration.

(57) Zusammenfassung: Es wird ein Verfahren zum Speichern von Datenworten in einem RAM Modul beschrieben, das insbesondere für sicherheitskritische Anwendungen geeignet ist und sich durch folgende Schritte auszeichnet: Erzeugen eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben des mindestens einen Datenwortes in das RAM Modul, Speichern des Prüfbit-Wortes, Auslesen des Prüfbit-Wortes beim Auslesen des mindestens einen Datenwortes aus dem RAM Modul, erneutes Erzeugen des Prüfbit-Wortes aus dem mindestens einen ausgelesenen Datenwort,

Vergleichen des ausgelesenen Prüfbit-Wortes mit dem erneut erzeugten Prüfbit-Wort und Erzeugen einer Fehlermeldung, wenn diese nicht übereinstimmen. Weiterhin wird eine entsprechende Schaltungsanordnung beschrieben.

WO 01/22225 A1

*Zur Erklärung der Zweibuchstaben-Codes, und der anderen
Abkürzungen wird auf die Erklärungen ("Guidance Notes on
Codes and Abbreviations") am Anfang jeder regulären Ausgabe
der PCT-Gazette verwiesen.*

Verfahren und Schaltungsanordnung zum Speichern von Datenworten in einem RAM Modul

Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zum Speichern von Datenworten in einem RAM Modul, insbesondere für sicherheitskritische Anwendungen.

RAM (Random Access Memory) Module sind allgemein bekannt und weit verbreitet. Sie dienen zum wiederholten Speichern und Auslesen von Daten für eine Vielzahl von Anwendungen. Der Sicherheit der in dem RAM Modul gespeicherten Daten muss bei der Auslegung der Speicherarchitektur besondere Beachtung geschenkt werden. Bei einer bekannten Architektur wird die Datensicherheit durch eine voll redundante Auslegung des Moduls in relativ zuverlässiger Weise gewährleistet. Ein wesentlicher Nachteil hierbei besteht jedoch darin, dass der Schaltungsaufwand und der Bedarf an Siliziumfläche relativ hoch ist.

Der Erfindung liegt deshalb die Aufgabe zugrunde, ein Verfahren und eine Schaltungsanordnung zum Speichern von Datenwörtern in einem RAM Modul zu schaffen, dessen Flächenbedarf wesentlich geringer ist, ohne dass Einschränkungen im Hinblick auf die Datensicherheit hinzunehmen sind.

Gelöst wird diese Aufgabe mit einem Verfahren gemäß Anspruch 1, dass sich durch folgende Schritte auszeichnet:
Erzeugen eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben des mindestens einen Datenwortes in das

RAM Modul, Speichern des Prüfbit-Wortes, Auslesen des Prüfbit-Wortes beim Auslesen des mindestens einen Datenwortes aus dem RAM Modul, Erneutes Erzeugen des Prüfbit-Wortes aus dem mindestens einen ausgelesenen Datenwort, Vergleichen des ausgelesenen Prüfbit-Wortes mit dem erneut erzeugten Prüfbit-Wort und Erzeugen einer Fehlermeldung, wenn diese nicht übereinstimmen.

Die Aufgabe wird ferner mit einer Schaltungsanordnung gemäß Anspruch 7 gelöst, die sich auszeichnet durch: eine erste Schaltungseinheit zur Erzeugung eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben und Lesen des mindestens einen Datenwortes, eine Anzahl von Registern zur zugeordneten Speicherung von Prüfbit-Worten für die Datenworte, sowie eine zweite Schaltungseinheit, mit der beim Lesen von Datenworten das zugeordnete Prüfbit-Wort mit dem durch die erste Schaltungseinheit erneut erzeugten Prüfbit-Wort verglichen wird, sowie zur Erzeugung einer Fehlermeldung, wenn die Prüfbit-Worte nicht übereinstimmen.

Ein besonderer Vorteil dieser Lösung besteht darin, dass bei im wesentlichen gleicher Datensicherheit wie bei der eingangs genannten voll redundanten Auslegung die erforderliche Siliziumfläche und damit auch der Schaltungsaufwand und die Kosten wesentlich geringer sind.

Die Unteransprüche haben vorteilhafte Weiterbildungen der Erfindung zum Inhalt.

Weitere Einzelheiten, Merkmale und Vorteile der Erfindung ergeben sich aus der folgenden Beschreibung einer bevorzugten Ausführungsform anhand der Zeichnung. Es zeigt:

Fig. 1 eine schematische Darstellung einer ersten Speicherarchitektur;

Fig. 2 eine schematische Darstellung des Ablaufes eines Schreibvorgangs;

Fig. 3 eine schematische Darstellung des Ablaufes eines Lesevorgangs;

Fig. 4 die Erzeugung einer wortorientierten Parität;

Fig. 5 eine schematische Darstellung einer zweiten Speicherarchitektur; und

Fig. 6 die Erzeugung einer spaltenorientierten Parität.

Ein RAM Modul umfasst gemäß Figur 1 im wesentlichen ein wortorientiertes Array 10 aus einer Anzahl von 32 Bit Datenwort-Registern 10a,...10i,...10x, die reihenweise untereinander angeordnet dargestellt sind. Jedem Datenwortregister ist ein 2 Bit Paritätswort-Register 11a,...11i,...11x zugeordnet, so dass sich ein 2 Bit Paritäts-Array 11 ergibt. Weiterhin ist ein 32 Bit Paritätswort-Register 12 vorgesehen, dem wiederum ein 2 Bit Paritätswort-Register 13 zugeordnet ist.

Zum Datenaustausch ist diese Anordnung in bekannter Weise mit einer Bus-Interfaceeinheit 14 verbunden, über die eine Verbindung zu einem CPU-Bus hergestellt werden kann. Die Bus-Interfaceeinheit 14 umfasst weiterhin Schaltungseinheiten zum Erzeugen und zum Vergleich der Paritätsworte bei Schreib- und Lesevorgängen, die in den Figuren 2 und 3 dargestellt sind.

Zum Schreiben in das RAM Modul werden gemäß Figur 2 die betreffenden Datenwörter von einem 32 Bit Datenbus 20 zu einer ersten Schaltungseinheit 21 geführt, mit der zu jedem Datenwort ein 2 Bit Paritätswort erzeugt wird. Anschließend wird das Datenwort in eines der Datenwort-Register 10i in dem RAM Modul und das 2 Bit Paritätswort in das zugeordnete 2 Bit Paritätswort-Register 11i eingeschrieben.

Zum Lesen von Datenwörtern aus dem RAM Modul wird gemäß Figur 3 das adressierte Datenwort zunächst in die erste Schaltungseinheit 21 überführt. Gleichzeitig wird das zugeordnete 2 Bit Paritätswort in eine zweite Schaltungseinheit 22 übertragen. In der ersten Schaltungseinheit 21 wird aus dem ausgelesenen Datenwort wiederum ein 2 Bit Paritätswort erzeugt, das in die zweite Schaltungseinheit 22 überführt und dort mit dem direkt aus dem RAM Modul ausgelesenen 2 Bit Paritätswort verglichen wird. Wenn diese beiden Wörter nicht übereinstimmen, wird ein Fehlersignal F erzeugt oder ein entsprechendes Fehler-Flag gesetzt. Wenn die 2 Bit Paritätswörter übereinstimmen, wird das ausgelesene Datenwort auf den Datenbus 20 übertragen.

Gemäß Figur 4 setzt sich jedes 32 Bit Datenwort aus einem ersten und einem zweiten 16 Bit Halbwort HW zusammen, wobei

aus jedem Halbwort ein Bit B des 2 Bit Paritätswortes erzeugt wird.

Durch die automatische Erzeugung und den automatischen Vergleich dieser wortorientierten Paritäten können einzelne Bitfehler sofort "online" beim Auslesen aus dem RAM Modul erkannt werden.

Um eine noch höhere Fehlersicherheit zu erreichen, läßt sich die 2 Bit Paritätserzeugung auch durch eine CRC (cyclic redundancy check) -Prüfung mit einem für jedes Datenwort gemäß einem Polynom berechneten CRC-Wort ersetzen. Um ein sinnvolles Verhältnis zwischen der Breite eines Datenwortes und der Breite eines CRC-Wortes zu erreichen, wird die Speicherarchitektur so gewählt, dass die Breite der gespeicherten Datenworte (Speicherworte) ein Vielfaches der Breite der Datenworte auf dem Datenbus ist. Bei einer Datenwort-Breite von 32 Bit hat das Speicherwort vorzugsweise eine Breite von 128 Bit und das CRC-Wort für eine optimale Fehlersicherheit eine Breite von 9 Bit.

Figur 5 zeigt eine entsprechende Anordnung, die über die Bus-Interfaceeinheit 14 mit einem 32 Bit Datenbus (nicht dargestellt) verbunden ist.

Das RAM Modul umfasst ein Array 60 aus einer Anzahl von 128 Bit Speicherwort-Registern 60a,...60x, die reihenweise untereinander angeordnet dargestellt sind. Jedem Speicherwort-Register ist ein CRC-Register 61a,...61x mit zum Beispiel jeweils 9 Bit zugeordnet, so dass sich ein CRC-Array 61 ergibt.

Zwischen das Array 60 und die Bus-Interfaceeinheit 14 ist eine Einheit 70 geschaltet, die einen Multiplexer 71 für jeweils vier 32 Bit Datenworte sowie ein 128 Bit CRC-Rechenregister 72 zur Aufnahme von vier 32 Bit Datenworten aufweist. Weiterhin umfasst die Einheit 70 eine CRC-Recheneinheit 73, mit der aus dem Inhalt des 128 Bit CRC-Rechenregisters 72 mit bekannten Rechenverfahren ein 9 Bit CRC-Wort berechnet und in einem 9 Bit CRC-Register 74 zwischengespeichert wird, das wiederum mit der Bus-Interfaceeinheit 14 verbunden ist.

Die Schreib- und Lesevorgänge laufen im wesentlichen in gleicher Weise ab, wie es in den Figuren 2 und 3 dargestellt ist.

Beim Einschreiben in das RAM Modul werden jeweils vier über die Bus-Interfaceeinheit 14 zugeführte 32 Bit Datenworte mit dem Multiplexer 71 zyklisch nacheinander in das 128 Bit CRC-Rechenregister 72 eingespeichert, so dass sich ein 128 Bit Speicherwort ergibt. Mit der CRC-Recheneinheit 73 wird daraus dann das 9 Bit CRC-Wort berechnet und in das 9 Bit CRC-Register 74 eingetragen. Anschließend wird der Inhalt des 128 Bit CRC-Rechenregisters 72 in eines der 128 Bit Speicherwort-Register 60i des RAM Arrays und der Inhalt des 9 Bit CRC-Registers 74 in das zugeordnete 9 Bit CRC-Wortregister 61i eingespeichert.

Beim Schreiben eines neuen 32 Bit Datenwortes (oder kleinerer Worteinheiten) in das RAM Modul ist es erforderlich, das CRC-Wort des betreffenden 128 Bit Speicherwort-Registers 60i neu zu berechnen. Dies bedeutet, dass vor dem Schreiben des neuen Datenwortes zunächst der Inhalt des be-

treffenden 128 Bit Speicherwort-Registers 60i vollständig ausgelesen und in das CRC-Rechenregister 72 eingespeichert werden muss, um dann mit der CRC-Recheneinheit 73 auf der Grundlage des neuen Datenwortes das 9 Bit CRC-Wort neu zu berechnen und in dem CRC-Register 74 abzulegen. Die Inhalte beider Register 72, 74 werden dann in die entsprechenden Register 60i, 61i übertragen.

Sofern vor dem Schreiben eines neuen 32 Bit Datenwortes eine Fehlerprüfung durchgeführt werden soll, die zum Beispiel durch eine Software mit bestimmten Zeitabständen veranlasst werden kann, wird wie oben erwähnt zunächst der Inhalt des betreffenden 128 Bit Speicherwort-Registers 60i und der Inhalt des zugeordneten CRC-Registers 61i ausgelesen. Anschließend wird mit der CRC-Recheneinheit 73 daraus erneut das 9 Bit CRC-Wort erzeugt und mit dem ausgelesenen CRC-Wort verglichen. Wenn diese beiden CRC-Worte nicht übereinstimmen, wird ein Fehlersignal F (oder ein entsprechendes Fehler-Flag) erzeugt. Wenn die CRC-Worte übereinstimmen, wird, wie oben erläutert wurde, aus dem das neue 32 Bit Datenwort enthaltenden 128 Bit Speicherwort ein neues 9 Bit CRC Wort berechnet, und beide werden in das entsprechende 128 Bit Speicherwort-Register 60i bzw. das zugeordnete 9 Bit CRC Register 61i des RAM Moduls eingelesen.

Die Fehlerprüfung kann auch dann durchgeführt werden, wenn ein Datenwort aus dem RAM Modul auf den Datenbus 20 ausgelesen werden soll. Zu diesem Zweck wird der Inhalt des das betreffende Datenwort enthaltenden Speicherwort-Registers 60i in das CRC-Rechenregister 72 übertragen und daraus erneut das CRC-Wort berechnet. Dieses CRC-Wort wird mit dem in dem zugeordneten CRC-Wort-Register 61i gespeicherten

CRC-Wort verglichen. Wenn beide Worte nicht übereinstimmen, wird eine Fehlermeldung F erzeugt oder ein entsprechendes Fehler-Flag gesetzt. Wenn beide CRC-Worte übereinstimmen, wird das ausgelesene 32 Bit Datenwort auf den Datenbus 20 übertragen. Anschließend wird der Inhalt des CRC-Rechenregisters 72 in das entsprechende 128 Bit Speicherwort-Register 60i zurückgeführt.

Figur 6 zeigt mehrere Speicherwort-Register 10a, 10b, ... 10x, für 32 Bit Datenworte sowie ein 32 Bit Paritätswort-Register 12, wobei für jede Stelle beispielhaft ein Bit mit dem Wert 0 oder 1 dargestellt ist.

Im Unterschied zu der in den Figuren 4 und 5 gezeigten, wortorientierten Prüfbit-Erzeugung wird gemäß Figur 6 eine spaltenorientierte Parität erzeugt, bei der für jeweils gleiche Stellen aller Datenworte ein Paritäts-Bit ermittelt wird, das an eine zugeordnete Stelle in dem 32 Bit Paritätswort-Register 12 eingeschrieben wird. Auf diese Weise ergibt sich ein 32 Bit Paritätswort. Weiterhin kann nun zu diesem 32 Bit Paritätswort in gleicher Weise wie es für die wortorientierte Parität anhand der Figur 4 beschrieben wurde, ein 2 Bit Paritätswort erzeugt und in dem 2 Bit Paritätswort-Register 13 (siehe Figur 1) abgespeichert werden. Entsprechend der vorstehend beschriebenen Weise kann auch eine spaltenorientierte Paritätsprüfung bei der Ausführungsform gemäß Fig. 5 mit 128 Bit breiten Datenworten durchgeführt werden.

Während des Schreibens eines neuen Datenwortes in einem der Wortregister 10i des RAM Moduls wird zunächst der Inhalt des Datenwortes der zu beschreibenden Speicherstelle im RAM Modul, d.h. im Beispiel ein 32 Bit Datenwort-Register 10i, sowie das 32 Bit Paritätswort-Register 12 ausgelesen. Anschließend wird der Wert des spaltenorientierten 32 Bit Paritätsworts erneut ermittelt und beschrieben.

Darauffolgend wird das neue Datenwort in die entsprechenden Datenwort-Register 10i zurückgeschrieben und der Inhalt des 32 Bit Paritätswort-Registers 12 neu ermittelt. Im Anschluss daran kann zu dem 32 Bit Paritätswort wieder eine 2 Bit Parität erzeugt und in dem 2 Bit Paritätswort-Register 13 (siehe Figur 1) gespeichert werden.

Während eines normalen Lesevorgangs wird vorzugsweise keine Fehlerüberprüfung durchgeführt. Eine zusätzliche Fehlerprüfung kann dadurch erfolgen, daß in der vorstehend beschriebenen Weise beispielsweise zum Zeitpunkt während eines Lesevorgangs der Inhalt sämtlicher Datenwort-Register 10i ausgelesen wird, das spaltenorientierte 32 Bit Paritätswort erneut erzeugt und mit dem in dem Paritätswort-Register 12 gespeicherten Paritätswort verglichen wird. Wenn die Paritätsworte nicht übereinstimmen, wird eine Fehlermeldung F erzeugt oder ein entsprechendes Fehler-Flag gesetzt. Wenn die Paritätsworte übereinstimmen, wird das ausgelesene Datenwort auf den Datenbus 20 übertragen. Die hier beschriebene Ausführungsform zur spaltenorientierten Fehlerprüfung im ganzen RAM wird sinnvollerweise nicht bei jedem Schreib- oder Lesevorgang, sondern mit bestimmten Zeitabständen vorgenommen, wobei die Zeitabstände durch die verwendete Software vorgegeben sein können. Die Entscheidung, ob diese

Fehlerprüfung erfolgt oder nicht, wird bevorzugt durch die verwendete Software vorgenommen.

Das 2 Bit Paritätswort des 32 Bit Paritätswortes kann in gleicher Weise zur Fehlerüberprüfung verwendet werden, wie es anhand der Figuren 2 bis 4 für die 2 Bit Paritätsworte der Datenwörter beschrieben wurde.

Anstelle der spaltenorientierten Parität kann auch eine spaltenorientierte CRC (Cyclic Redundancy Check) -Summe gebildet und zur Fehlerprüfung verwendet werden. Auch hierbei wird vor dem Schreiben und / oder Lesen eines Wortes zunächst der Inhalt sämtlicher Datenwort-Register 10i sowie des Prüfbit-Registers 12 ausgelesen und erneut das CRC-Wort ermittelt. Wenn dieses CRC-Wort nicht mit dem gespeicherten CRC-Wort übereinstimmt, wird eine Fehlermeldung F erzeugt oder ein entsprechendes Fehler-Flag gesetzt. Wenn beide CRC-Worte übereinstimmen, wird der Schreib- oder Lesevorgang in der oben für die spaltenorientierte Paritätswort-Erzeugung beschriebenen Weise abgeschlossen.

Mit der spaltenorientierten Parität sowie einem zyklisch ablaufenden Paritäts-Test bzw. der CRC-Prüfsumme und einer zyklischen CRC-Berechnung lassen sich auch Fehler im Adress-Decoder sowie Doppel-Bitfehler und weitere Fehler ermitteln. Die Tests bzw. Berechnungen werden vorzugsweise durch eine entsprechende Software durchgeführt.

Patentansprüche

1. Verfahren zum Speichern von Datenworten in einem RAM Modul, gekennzeichnet durch folgende Verfahrensschritte:
Erzeugen eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben des mindestens einen Datenwortes in das RAM Modul,
Speichern des Prüfbit-Wortes,
Auslesen des Prüfbit-Wortes beim Auslesen des mindestens einen Datenwortes aus dem RAM Modul,
Erneutes Erzeugen des Prüfbit-Wortes aus dem mindestens einen ausgelesenen Datenwort,
Vergleichen des ausgelesenen Prüfbit-Wortes mit dem erneut erzeugten Prüfbit-Wort und Erzeugen einer Fehlermeldung, wenn diese nicht übereinstimmen.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass das Prüfbit-Wort durch Ermittlung von Paritätsbits gebildet wird.
3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass aus jedem Datenwort ein 2 Bit Paritätswort gebildet wird, wobei aus jedem Daten-Halbwort jeweils ein Paritätsbit ermittelt wird.
4. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass aus einer Anzahl von Datenworten ein Paritätswort erzeugt wird, dessen Paritätsbits jeweils aus gleichen Stellen aller Datenworte ermittelt werden.

5. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Prüfbit-Worte durch Berechnung von CRC-Worten gebildet werden.
6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass jeweils eine Anzahl von Datenworten zu einem Speicherwort zusammengefasst wird und daraus ein zugeordnetes CRC-Wort berechnet wird.
7. Schaltungsanordnung zum Speichern von Datenworten in einem RAM Modul, gekennzeichnet durch:
eine erste Schaltungseinheit (21) zur Erzeugung eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben und Lesen des mindestens einen Datenwortes, eine Anzahl von Registern (11i, 61i) zur zugeordneten Speicherung von Prüfbit-Worten für die Datenworte, sowie eine zweite Schaltungseinheit (22), mit der beim Lesen von Datenworten das zugeordnete Prüfbit-Wort mit dem durch die erste Schaltungseinheit (21) erneut erzeugten Prüfbit-Wort verglichen wird, sowie zur Erzeugung einer Fehlermeldung (F), wenn die Prüfbit-Worte nicht übereinstimmen.
8. Schaltungsanordnung nach Anspruch 7, dadurch gekennzeichnet, dass die Anzahl von Registern durch erste 2 Bit Paritätsregister (11i) gebildet ist, wobei jedem Datenwort ein 2 Bit Paritätsregister zugeordnet ist.
9. Schaltungsanordnung nach Anspruch 7, dadurch gekennzeichnet, dass die Anzahl von Registern durch CRC-Register (61i) gebildet ist, wobei jeweils vier Datenworten ein CRC-Register zugeordnet ist.

10. Schaltungsanordnung nach Anspruch 9, **gekennzeichnet** durch einen Multiplexer (71) zur Speicherung von jeweils vier Datenworten als ein Speicherwort, sowie eine CRC-Recheneinheit (73) zur Berechnung des CRC-Wortes aus einem Speicherwort sowie zur Speicherung des CRC-Wortes in einem zugeordneten CRC-Register (61, 74).
11. Schaltungsanordnung nach Anspruch 10, dadurch **gekennzeichnet**, dass die Datenworte 32 Bit Worte und die CRC-Worte 9 Bit Worte sind.
12. Schaltungsanordnung nach einem der Ansprüche 7 bis 11, **gekennzeichnet** durch ein zweites Register (12) zur Speicherung eines Prüfbit-Wortes, dessen Bits jeweils aus gleichen Stellen aller Datenworte ermittelt werden, sowie ein drittes Register (13) zur Speicherung eines Prüfbit-Wortes, das aus dem Inhalt des zweiten Registers (12) ermittelt wird.

A. CLASSIFICATION OF SUBJECT MATTER
 IPC 7 G06F11/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 3 972 033 A (CISLAGHI EZIO ET AL) 27 July 1976 (1976-07-27) claim 1	1-3
X	US 4 710 934 A (TRAYNOR KEVIN) 1 December 1987 (1987-12-01) column 1, line 52 - column 2, line 10 column 2, line 62 - column 3, line 12	1,4,7,8
X A	US 4 277 844 A (BURNS WILLIAM A ET AL) 7 July 1981 (1981-07-07) claims 1,3; figure 4	1,5,6 7-12

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search

17 November 2000

Date of mailing of the international search report

24/11/2000

Name and mailing address of the ISA

 European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Authorized officer

Huyghe, E

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 3972033 A	27-07-1976	IT 1002271 B	20-05-1976
		FR 2272466 A	19-12-1975
		JP 1153421 C	30-06-1983
		JP 50118633 A	17-09-1975
		JP 57038997 B	18-08-1982
US 4710934 A	01-12-1987	JP 62175846 A	01-08-1987
US 4277844 A	07-07-1981	NONE	

1/3

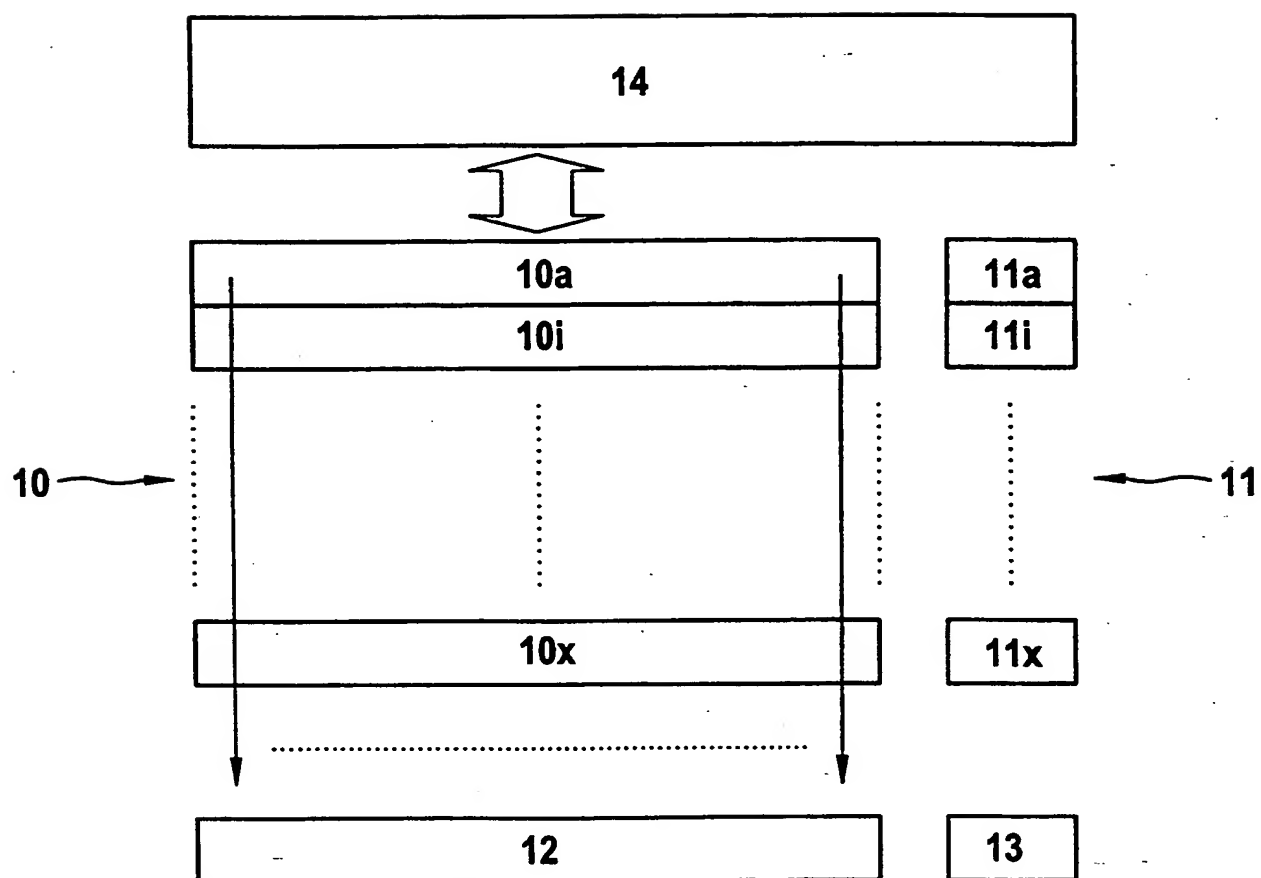


Fig. 1

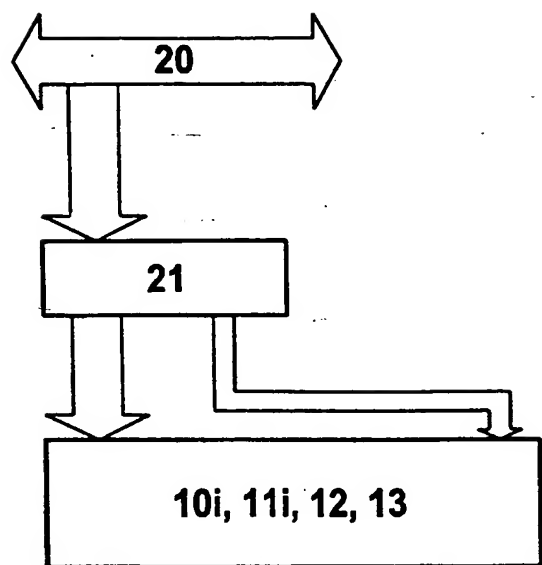


Fig. 2

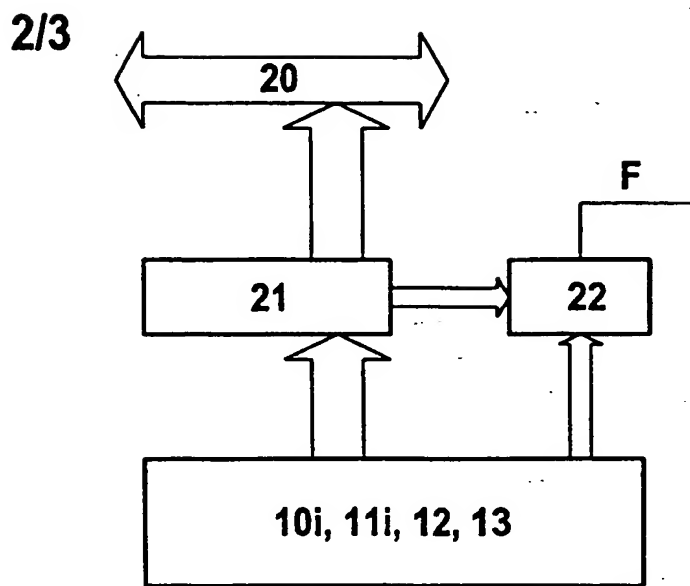


Fig. 3

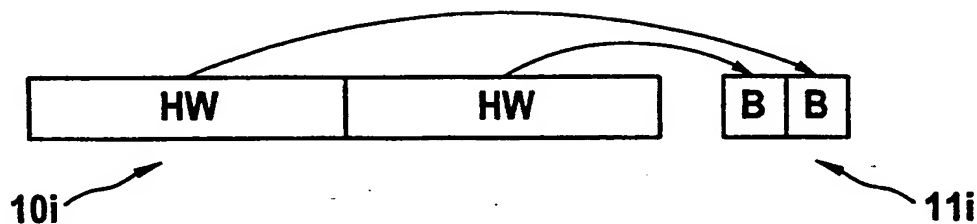


Fig. 4

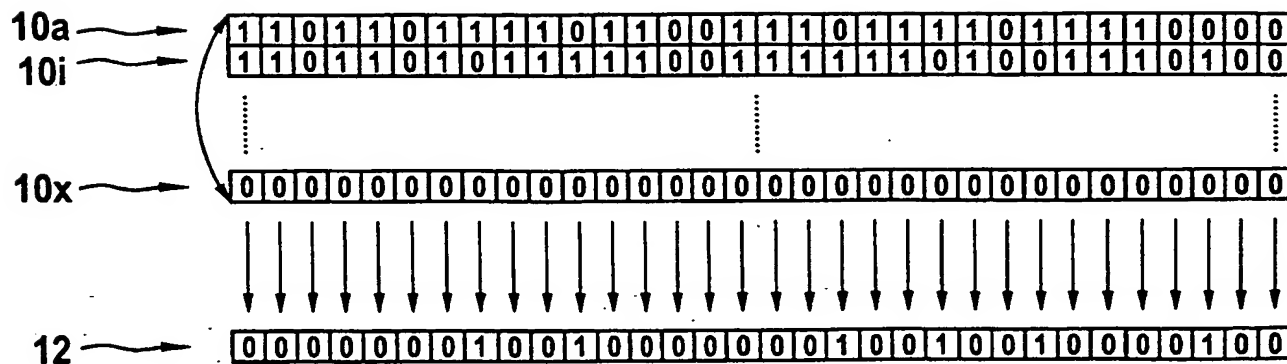


Fig. 6

3/3

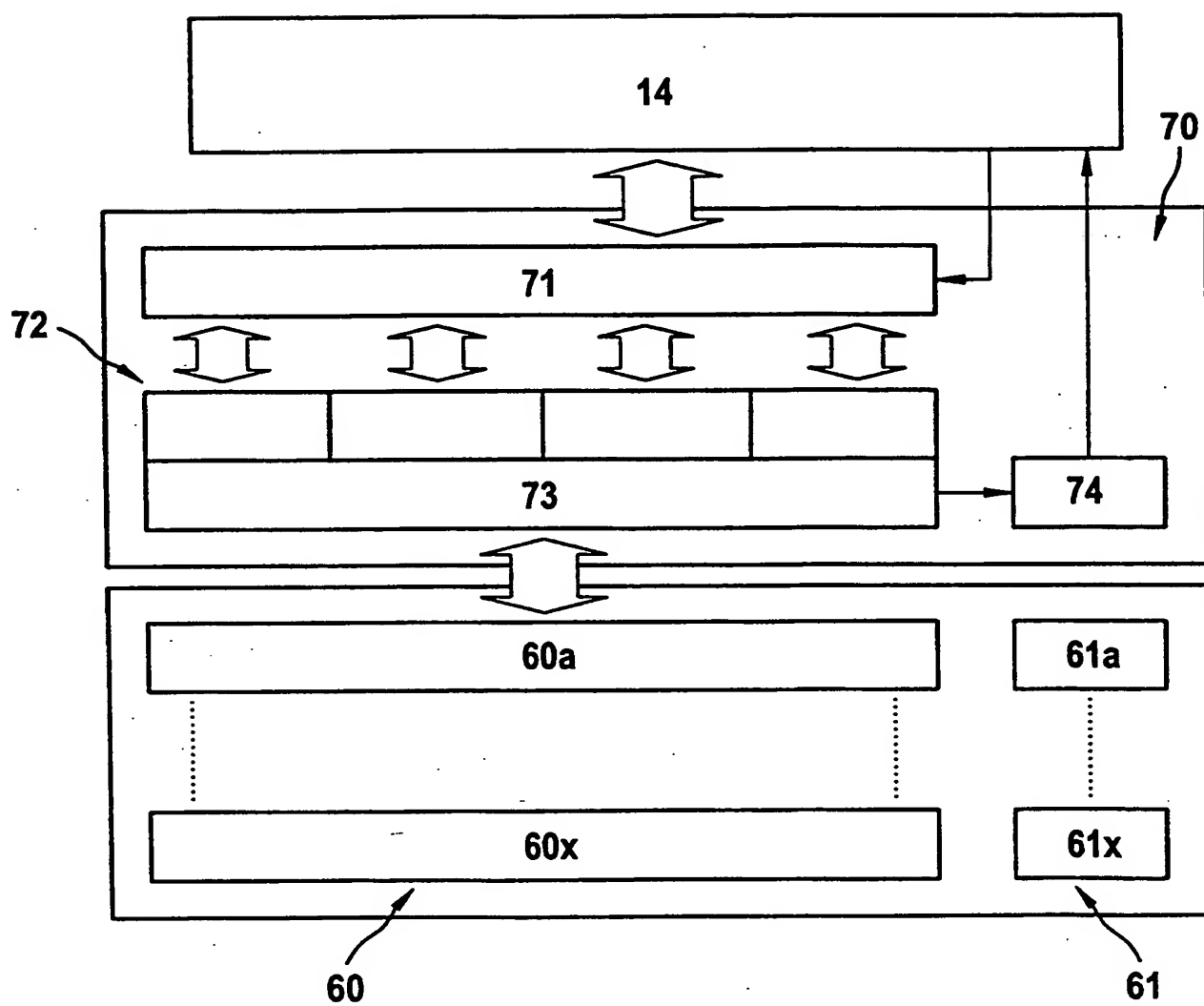


Fig. 5

Deutsches Patent- und Markenamt

München, d. 11. Dezember 2000

Telefon: (0 89) 21 95 - 3204

Aktenzeichen: 100 18 722.6

Anmelder: s.Adr.

Deutsches Patent- und Markenamt · 80297 München

Continental Teves AG & Co. oHG
Guerickestr. 7

Ihr Zeichen: P 9722.1/BR/AD

60488 Frankfurt

Bitte Aktenzeichen und Anmelder bei
allen Eingaben und Zahlungen angeben

Zutreffendes ist angekreuzt ☒ und/oder aus ausgefüllt

Ergebnis einer Druckschriftenermittlung

Auf den Antrag des

wirksam am 15. April 2000 gemäß ☒ § 43 Patentgesetz ☐ § 7 Gebrauchsmustergesetz

sind die auf den beigegeführten Anlagen angegebenen öffentlichen Druckschriften ermittelt worden.

Ermittelt wurde in folgenden Patentklassen:

Klasse/Gruppe	Prüfer	Patentabt.
G11C 29/00	Dr. Raab	53

Die Recherche im Deutschen Patent- und Markenamt stützt sich auf die Patentliteratur folgender Länder und Organisationen:

Deutschland (DE,DD), Österreich, Schweiz, Frankreich, Großbritannien, USA, Japan (Abstracts),
UDSSR (Abstracts), Europäisches Patentamt, WIPO.

Recherchiert wurde außerdem in folgenden Datenbanken:

Anlagen:

Anlagen 1, 2 und 3 zur Mitteilung der ermittelten Druckschriften

Patentabteilung 11
Recherchen-Leitstelle

4 Druckschrift(en) bzw. Ablichtung(en)



P 2251
05/99
06.95

Annahmestelle und
Nachbriefkasten
nur
Zweibrückenstraße 12

Dienstgebäude
Zweibrückenstraße 12 (Hauptgebäude)
Zweibrückenstraße 5-7 (Breiterhof)
Cincinnatistraße 64
Rosenheimer Straße 116
Balanstraße 59

Hausadresse (für Fracht)
Deutsches Patent- und Markenamt
Zweibrückenstraße 12
80331 München

Telefon (089) 2195-0
Telefax (089) 2195-2221

Bank: Landeszentralbank München 700 010 54
(BLZ 700 000 00)

Internet-Adresse <http://www.patent-und-markenamt.de>



Schnellbahnanschluß im
Münchner Verkehrs- und
Tarifverbund (MVG):

Zweibrückenstraße 12 (Hauptgebäude),
Zweibrückenstraße 5-7 (Breiterhof):
S1 - S8 Isartor

Rosenheimer Str. 116 / Balanstraße 59
Alle S-Bahnen Richtung Ostbahnhof, ab Ostbahnhof Buslinien
45 / 95 / 96 / 198 Haltestelle Kustermannpark

Cincinnatistraße 64
S2 Fasangarten Bus 98 oder 99

Zahlungshinweise

1. Die Gebühren können außer durch Barzahlung entrichtet werden:
 - a) durch Übergabe oder Übersendung
 - von Gebührenmarken des Deutschen Patent- und Markenamts,
 - von Schecks, die auf ein Kreditinstitut in der Bundesrepublik Deutschland gezogen sind und nicht mit Indossament versehen sind,
 - eines Auftrags zur Abbuchung von dem hierfür zugelassenen Abbuchungskonto gemäß Bekanntmachung des Präsidenten des Deutschen Patent- und Markenamts (siehe Mitteilungen Nr. 1 und 2/90 vom 15. Dezember 1989, Bl.f.PMZ 1990, S. 1 f.; Nr. 6/92 vom 27. Februar 1992, Bl.f.PMZ 1992, S. 177 f.),
 - b) durch Überweisung auf das umseitig angegebene Konto der Zahlstelle.
 - c) durch Bareinzahlung (mit Zahlschein bei der Postbank oder bei allen anderen Banken oder Sparkassen) auf das umseitig angegebene Konto der Zahlstelle.
2. Bei jeder Zahlung sind das vollständige Aktenzeichen und der Verwendungszweck in Form des Gebührencodes, der sich aus den Gebührenverzeichnissen aus der Anlage zu § 1 PatGebG oder aus der Anlage zu § 2 Abs. 1 DPMAVwKostV ergibt, anzugeben (Auszug s. u.).
Unkorrekte bzw. unvollständige Angaben führen zu Verzögerungen in der Bearbeitung.
3. Als Einzahlungstag gilt gemäß § 3 der Verordnung über die Zahlung der Gebühren des Deutschen Patent- und Markenamts und des Bundespatentgerichts
 - a) bei Übergabe oder Übersendung von Gebührenmarken der Tag des Eingangs;
 - b) bei Übergabe oder Übersendung von Schecks oder Abbuchungsaufträgen der Tag des Eingangs beim Deutschen Patent- und Markenamt oder Bundespatentgericht, sofern die Einlösung bei Vorlage erfolgt (da Abbuchungsaufträge auch per Telekopie wirksam übermittelt werden können, ist es mit dieser Zahlungsart möglich, entsprechende Zahlungen noch bis 24.00 Uhr des letzten Tages der Frist vorzunehmen);
 - c) bei Bareinzahlung mit Zahlschein bei der Postbank und allen anderen Banken und Sparkassen auf das Konto des Deutschen Patent- und Markenamts der Tag der Einzahlung (in diesem Falle ist vom Einzahler jedoch darauf zu achten, dass ihm der Tag (Datum) der Einzahlung von dem Geldinstitut auf dem Einzahlungsbeleg, Durchschlag etc. hinreichend deutlich bestätigt wird);
 - d) im übrigen (insbesondere bei Überweisung) der Tag, an dem der Betrag bei der Zahlstelle des Deutschen Patent- und Markenamts eingeht oder auf dem umseitig genannten Konto gutgeschrieben wird.

Gebrauchsmusterabzweigung

Der Anmelder einer nach dem 1. Januar 1987 mit Wirkung für die Bundesrepublik Deutschland eingereichten Patentanmeldung kann eine Gebrauchsmusteranmeldung, die den gleichen Gegenstand betrifft, einreichen und gleichzeitig den Anmeldetag der früheren Patentanmeldung in Anspruch nehmen. Diese Abzweigung (§ 5 Gebrauchsmustergesetz) ist bis zum Ablauf von 2 Monaten nach dem Ende des Monats möglich, in dem die Patentanmeldung durch rechtskräftige Zurückweisung, freiwillige Rücknahme oder Rücknahmefiktion erledigt, ein Einspruchsverfahren abgeschlossen oder - im Falle der Erteilung des Patents - die Frist für die Beschwerde gegen den Erteilungsbeschluss fruchtlos verstrichen ist. Ausführliche Informationen über die Erfordernisse einer Gebrauchsmusteranmeldung, einschließlich der Abzweigung, enthält das Merkblatt für Gebrauchsmusteranmelder (G 6181), welches kostenlos beim Deutschen Patent- und Markenamt und den Patentinformationszentren erhältlich ist.

Gebührencodes für Patentsachen:

Gebühren-code	Gebühr bzw. Auslagen	Gebühren-code	Gebühr bzw. Auslagen
111 100	Anmeldegebühr	112 107	Patentjahresgebühr für das 7. Patentjahr
111 201	Rechercheantragsgebühr	112 108	Patentjahresgebühr für das 8. Patentjahr
102 010	Auslagen für Abschriften aller ermittelten Druckschriften im Rechercheverfahren	112 109	Patentjahresgebühr für das 9. Patentjahr
111 301	Prüfungsantragsgebühr, wenn ein Rechercheantrag gestellt worden ist	112 110	Patentjahresgebühr für das 10. Patentjahr
111 302	Prüfungsantragsgebühr, wenn ein Rechercheantrag nicht gestellt worden ist	112 111	Patentjahresgebühr für das 11. Patentjahr
102 020	Auslagen für Abschriften aller ermittelten Druckschriften im Prüfungsverfahren	112 112	Patentjahresgebühr für das 12. Patentjahr
111 500	Erteilungsgebühr	112 113	Patentjahresgebühr für das 13. Patentjahr
112 103	Patentjahresgebühr für das 3. Patentjahr	112 114	Patentjahresgebühr für das 14. Patentjahr
112 104	Patentjahresgebühr für das 4. Patentjahr	112 115	Patentjahresgebühr für das 15. Patentjahr
112 105	Patentjahresgebühr für das 5. Patentjahr	112 116	Patentjahresgebühr für das 16. Patentjahr
112 106	Patentjahresgebühr für das 6. Patentjahr	112 117	Patentjahresgebühr für das 17. Patentjahr
		112 118	Patentjahresgebühr für das 18. Patentjahr
		112 119	Patentjahresgebühr für das 19. Patentjahr
		112 120	Patentjahresgebühr für das 20. Patentjahr

100 18 722.6

Deutsches Patent- und Markenamt - 80297 München**Anlage 1**

zur Mitteilung über die ermittelten Druckschriften
gemäß § 43 des Patentgesetzes

Druckschriften:

DE 689 26 410 T2

US 43 84 353

Literatur:

Vertical Parity Correction. In: IBM Technical
Disclosure Bulletin, Vol.33, No.6A, Nov. 1990,
S.85-87;

HÖLSCHER, H., RADER, J.: Mikrocomputer in der
Sicherheitstechnik, Verlag TÜV Rheinland, 1984,
ISBN 3-88585-180-6;

Bitte Anmelder/Inhaber + Aktenzeichen bei allen Eingaben angeben; bei Zahlungen auch Verwendungszweck. Hinweise auf der Rückseite beachten!

52

Annahmestelle und
Nachbriefkasten
nur
Zweibrückenstr. 12

Dienstgebäude
Zweibrückenstr. 12 (Hauptgebäude)

Heusadresse (für Fracht)
Deutsches Patent- und Markenamt
Zweibrückenstr. 12
80331 München

Telefon (089) 2195-0
Telefax (089) 2195-2221
Internet:
<http://www.patent-und-markenamt.de>

Bankverbindung
Landeszentralbank München
700 010 54 (BLZ 700 000 00)

Hinweise zur Mitteilung (Vordruck P 2251)

Eine Gewähr für die Vollständigkeit der Ermittlung wird nicht geleistet (§ 43 Abs. 7 Patentgesetz bzw. § 7 Abs. 2 Gebrauchsmustergesetz i.V.m. § 43 Abs. 7 Satz 1 Patentgesetz).

Die angegebene Patentliteratur kann in den Auslegehallen des Deutschen Patent- und Markenamts, 80331 München, Zweibrückenstraße 12, oder 10969 Berlin, Gitschiner Str. 97 eingesehen werden; deutsche Patentschriften, Auslegeschriften und Offenlegungsschriften auch in den Patentinformationszentren. Ein Verzeichnis über diese Patentinformationszentren kann auf Wunsch vom Deutschen Patent- und Markenamt sowie von einigen Privatfirmen bezogen werden.

Erklärungen zur Anlage 2 (Vordruck P 2253)**Spalte 1: Kategorie**

Es bedeutet:

- X: Druckschriften, die Neuheit oder Erfindungshöhe allein in Frage stellen
- Y: Druckschriften, die die Erfindungshöhe zusammen mit anderen Druckschriften in Frage stellen
- A: Allgemein zum Stand der Technik, technologischer Hintergrund
- O: Nicht-schriftliche Offenbarung, z.B. ein in einer nachveröffentlichten Druckschrift abgedruckter Vortrag, der vor dem Anmelde- oder Prioritätstag öffentlich gehalten wurde
- P: Im Prioritätsintervall veröffentlichte Druckschriften
- T: Nachveröffentlichte, nicht kollidierende Druckschriften, die die Theorie der angemeldeten Erfindung betreffen und für ein besseres Verständnis der angemeldeten Erfindung nützlich sein können bzw. zeigen, daß der angemeldeten Erfindung zugrunde liegende Gedankengänge oder Sachverhalte falsch sein könnten
- E: Ältere Anmeldungen gemäß § 3 Abs. 2 PatG (bei Recherchen nach § 43 PatG); ältere Patentanmeldungen oder ältere Gebrauchsmuster gemäß § 15 GbmG (bei Recherchen nach § 7 GbmG)
- D: Druckschriften, die bereits in der Patentanmeldung genannt sind
- L: Aus besonderen Gründen genannte Druckschriften, z.B. zum Veröffentlichungstag einer Entgeghaltung oder bei Zweifeln an der Priorität.

Spalte 2: Ermittelte Druckschriften / Erläuterungen

Veröff.: Veröffentlichungstag einer Druckschrift im Prioritätsintervall

nr: Nicht recherchiert, da allgemein bekannter Stand der Technik, oder nicht recherchierbar

=: Druckschriften, die auf dieselbe Ursprungsanmeldung zurückgehen ("Patentfamilien") oder auf die sich Referate oder Abstracts beziehen.

"-": Nichts ermittelt

Spalte 3: Betroffene Ansprüche

Hier sind die Ansprüche unter Zuordnung zu den in Spalte 2 genannten relevanten Stellen angegeben.

Deutsches Patent- und Markenamt

80297 München

Für den Anmelder / Antragsteller

Anlage 2

zur Mitteilung der ermittelten Druckschriften

Aktenzeichen

100 18 722.6

Erläuterungen zu den ermittelten Druckschriften:		
1	2	3
Kate- gorie	Ermittelte Druckschriften/Erläuterungen	Betrifft Anspruch
X	DE 689 26 410 T2 S.2-3	1,2,7
X	US 43 84 353 Fig. 1, Sp.2,Z.3-40	6,7
X	Vertical Parity Correction. In: IBM Technical Disclosure Bulletin, Vol. 33, No. 6A, Nov. 1990, S.85-87;	4
X	HÖLSCHER.H.,RADER,J.: Mikrocomputer in der Sicherheitstechnik, Verlag TÜV Rheinland, 1984, ISBN 3-88585-180-6; S.7-27 u. 7-29	1,2,5,6

Verfahren und Schaltungsanordnung zum Speichern von Datenworten in einem RAM Modul

Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zum Speichern von Datenworten in einem RAM Modul, insbesondere für sicherheitskritische Anwendungen.

RAM (Random Access Memory) Module sind allgemein bekannt und weit verbreitet. Sie dienen zum wiederholten Speichern und Auslesen von Daten für eine Vielzahl von Anwendungen. Der Sicherheit der in dem RAM Modul gespeicherten Daten muss bei der Auslegung der Speicherarchitektur besondere Beachtung geschenkt werden. Bei einer bekannten Architektur wird die Datensicherheit durch eine voll redundante Auslegung des Moduls in relativ zuverlässiger Weise gewährleistet. Ein wesentlicher Nachteil hierbei besteht jedoch darin, dass der Schaltungsaufwand und der Bedarf an Siliziumfläche relativ hoch ist.

Der Erfindung liegt deshalb die Aufgabe zugrunde, ein Verfahren und eine Schaltungsanordnung zum Speichern von Datenwörtern in einem RAM Modul zu schaffen, dessen Flächenbedarf wesentlich geringer ist, ohne dass Einschränkungen im Hinblick auf die Datensicherheit hinzunehmen sind.

Gelöst wird diese Aufgabe mit einem Verfahren gemäß Anspruch 1, dass sich durch folgende Schritte auszeichnet: Erzeugen eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben des mindestens einen Datenwortes in das

RAM Modul, Speichern des Prüfbit-Wortes, Auslesen des Prüfbit-Wortes beim Auslesen des mindestens einen Datenwortes aus dem RAM Modul, Erneutes Erzeugen des Prüfbit-Wortes aus dem mindestens einen ausgelesenen Datenwort, Vergleichen des ausgelesenen Prüfbit-Wortes mit dem erneut erzeugten Prüfbit-Wort und Erzeugen einer Fehlermeldung, wenn diese nicht übereinstimmen.

Die Aufgabe wird ferner mit einer Schaltungsanordnung gemäß Anspruch 7 gelöst, die sich auszeichnet durch: eine erste Schaltungseinheit zur Erzeugung eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben und Lesen des mindestens einen Datenwortes, eine Anzahl von Registern zur zugeordneten Speicherung von Prüfbit-Worten für die Datenworte, sowie eine zweite Schaltungseinheit, mit der beim Lesen von Datenworten das zugeordnete Prüfbit-Wort mit dem durch die erste Schaltungseinheit erneut erzeugten Prüfbit-Wort verglichen wird, sowie zur Erzeugung einer Fehlermeldung, wenn die Prüfbit-Worte nicht übereinstimmen.

Ein besonderer Vorteil dieser Lösung besteht darin, dass bei im wesentlichen gleicher Datensicherheit wie bei der eingangs genannten voll redundanten Auslegung die erforderliche Siliziumfläche und damit auch der Schaltungsaufwand und die Kosten wesentlich geringer sind.

Die Unteransprüche haben vorteilhafte Weiterbildungen der Erfindung zum Inhalt.

Weitere Einzelheiten, Merkmale und Vorteile der Erfindung ergeben sich aus der folgenden Beschreibung einer bevorzugten Ausführungsform anhand der Zeichnung. Es zeigt:

Fig. 1 eine schematische Darstellung einer ersten Speicherarchitektur;

Fig. 2 eine schematische Darstellung des Ablaufes eines Schreibvorgangs;

Fig. 3 eine schematische Darstellung des Ablaufes eines Lesevorgangs;

Fig. 4 die Erzeugung einer wortorientierten Parität;

Fig. 5 eine schematische Darstellung einer zweiten Speicherarchitektur; und

Fig. 6 die Erzeugung einer spaltenorientierten Parität.

Ein RAM Modul umfasst gemäß Figur 1 im wesentlichen ein wortorientiertes Array 10 aus einer Anzahl von 32 Bit Datenwort-Registern 10a,...10i,...10x, die reihenweise untereinander angeordnet dargestellt sind. Jedem Datenwortregister ist ein 2 Bit Paritätswort-Register 11a,...11i,...11x zugeordnet, so dass sich ein 2 Bit Paritäts-Array 11 ergibt. Weiterhin ist ein 32 Bit Paritätswort-Register 12 vorgesehen, dem wiederum ein 2 Bit Paritätswort-Register 13 zugeordnet ist.

Zum Datenaustausch ist diese Anordnung in bekannter Weise mit einer Bus-Interfaceeinheit 14 verbunden, über die eine Verbindung zu einem CPU-Bus hergestellt werden kann. Die Bus-Interfaceeinheit 14 umfasst weiterhin Schaltungseinheiten zum Erzeugen und zum Vergleich der Paritätsworte bei Schreib- und Lesevorgängen, die in den Figuren 2 und 3 dargestellt sind.

Zum Schreiben in das RAM Modul werden gemäß Figur 2 die betreffenden Datenwörter von einem 32 Bit Datenbus 20 zu einer ersten Schaltungseinheit 21 geführt, mit der zu jedem Datenwort ein 2 Bit Paritätswort erzeugt wird. Anschließend wird das Datenwort in eines der Datenwort-Register 10i in dem RAM Modul und das 2 Bit Paritätswort in das zugeordnete 2 Bit Paritätswort-Register 11i eingeschrieben.

Zum Lesen von Datenwörtern aus dem RAM Modul wird gemäß Figur 3 das adressierte Datenwort zunächst in die erste Schaltungseinheit 21 überführt. Gleichzeitig wird das zugeordnete 2 Bit Paritätswort in eine zweite Schaltungseinheit 22 übertragen. In der ersten Schaltungseinheit 21 wird aus dem ausgelesenen Datenwort wiederum ein 2 Bit Paritätswort erzeugt, das in die zweite Schaltungseinheit 22 überführt und dort mit dem direkt aus dem RAM Modul ausgelesenen 2 Bit Paritätswort verglichen wird. Wenn diese beiden Wörter nicht übereinstimmen, wird ein Fehlersignal F erzeugt oder ein entsprechendes Fehler-Flag gesetzt. Wenn die 2 Bit Paritätswörter übereinstimmen, wird das ausgelesene Datenwort auf den Datenbus 20 übertragen.

Gemäß Figur 4 setzt sich jedes 32 Bit Datenwort aus einem ersten und einem zweiten 16 Bit Halbwort HW zusammen, wobei

aus jedem Halbwort ein Bit B des 2 Bit Paritätswortes erzeugt wird.

Durch die automatische Erzeugung und den automatischen Vergleich dieser wortorientierten Paritäten können einzelne Bitfehler sofort "online" beim Auslesen aus dem RAM Modul erkannt werden.

Um eine noch höhere Fehlersicherheit zu erreichen, läßt sich die 2 Bit Paritätserzeugung auch durch eine CRC (cyclic redundancy check) -Prüfung mit einem für jedes Datenwort gemäß einem Polynom berechneten CRC-Wort ersetzen. Um ein sinnvolles Verhältnis zwischen der Breite eines Datenwortes und der Breite eines CRC-Wortes zu erreichen, wird die Speicherarchitektur so gewählt, dass die Breite der gespeicherten Datenworte (Speicherworte) ein Vielfaches der Breite der Datenworte auf dem Datenbus ist. Bei einer Datenwort-Breite von 32 Bit hat das Speicherwort vorzugsweise eine Breite von 128 Bit und das CRC-Wort für eine optimale Fehlersicherheit eine Breite von 9 Bit.

Figur 5 zeigt eine entsprechende Anordnung, die über die Bus-Interfaceeinheit 14 mit einem 32 Bit Datenbus (nicht dargestellt) verbunden ist.

Das RAM Modul umfasst ein Array 60 aus einer Anzahl von 128 Bit Speicherwort-Registern 60a,...60x, die reihenweise untereinander angeordnet dargestellt sind. Jedem Speicherwort-Register ist ein CRC-Register 61a,...61x mit zum Beispiel jeweils 9 Bit zugeordnet, so dass sich ein CRC-Array 61 ergibt.

Zwischen das Array 60 und die Bus-Interfaceeinheit 14 ist eine Einheit 70 geschaltet, die einen Multiplexer 71 für jeweils vier 32 Bit Datenworte sowie ein 128 Bit CRC-Rechenregister 72 zur Aufnahme von vier 32 Bit Datenworten aufweist. Weiterhin umfasst die Einheit 70 eine CRC-Recheneinheit 73, mit der aus dem Inhalt des 128 Bit CRC-Rechenregisters 72 mit bekannten Rechenverfahren ein 9 Bit CRC-Wort berechnet und in einem 9 Bit CRC-Register 74 zwischengespeichert wird, das wiederum mit der Bus-Interfaceeinheit 14 verbunden ist.

Die Schreib- und Lesevorgänge laufen im wesentlichen in gleicher Weise ab, wie es in den Figuren 2 und 3 dargestellt ist.

Beim Einschreiben in das RAM Modul werden jeweils vier über die Bus-Interfaceeinheit 14 zugeführte 32 Bit Datenworte mit dem Multiplexer 71 zyklisch nacheinander in das 128 Bit CRC-Rechenregister 72 eingespeichert, so dass sich ein 128 Bit Speicherwort ergibt. Mit der CRC-Recheneinheit 73 wird daraus dann das 9 Bit CRC-Wort berechnet und in das 9 Bit CRC-Register 74 eingetragen. Anschließend wird der Inhalt des 128 Bit CRC-Rechenregisters 72 in eines der 128 Bit Speicherwort-Register 60i des RAM Arrays und der Inhalt des 9 Bit CRC-Registers 74 in das zugeordnete 9 Bit CRC-Wortregister 61i eingespeichert.

Beim Schreiben eines neuen 32 Bit Datenwortes (oder kleinerer Worteinheiten) in das RAM Modul ist es erforderlich, das CRC-Wort des betreffenden 128 Bit Speicherwort-Registers 60i neu zu berechnen. Dies bedeutet, dass vor dem Schreiben des neuen Datenwortes zunächst der Inhalt des be-

treffenden 128 Bit Speicherwort-Registers 60i vollständig ausgelesen und in das CRC-Rechenregister 72 eingespeichert werden muss, um dann mit der CRC-Recheneinheit 73 auf der Grundlage des neuen Datenwortes das 9 Bit CRC-Wort neu zu berechnen und in dem CRC-Register 74 abzulegen. Die Inhalte beider Register 72, 74 werden dann in die entsprechenden Register 60i, 61i übertragen.

Sofern vor dem Schreiben eines neuen 32 Bit Datenwortes eine Fehlerprüfung durchgeführt werden soll, die zum Beispiel durch eine Software mit bestimmten Zeitabständen veranlasst werden kann, wird wie oben erwähnt zunächst der Inhalt des betreffenden 128 Bit Speicherwort-Registers 60i und der Inhalt des zugeordneten CRC-Registers 61i ausgelesen. Anschließend wird mit der CRC-Recheneinheit 73 daraus erneut das 9 Bit CRC-Wort erzeugt und mit dem ausgelesenen CRC-Wort verglichen. Wenn diese beiden CRC-Worte nicht übereinstimmen, wird ein Fehlersignal F (oder ein entsprechendes Fehler-Flag) erzeugt. Wenn die CRC-Worte übereinstimmen, wird, wie oben erläutert wurde, aus dem das neue 32 Bit Datenwort enthaltenden 128 Bit Speicherwort ein neues 9 Bit CRC Wort berechnet, und beide werden in das entsprechende 128 Bit Speicherwort-Register 60i bzw. das zugeordnete 9 Bit CRC Register 61i des RAM Moduls eingelesen.

Die Fehlerprüfung kann auch dann durchgeführt werden, wenn ein Datenwort aus dem RAM Modul auf den Datenbus 20 ausgelesen werden soll. Zu diesem Zweck wird der Inhalt des das betreffende Datenwort enthaltenden Speicherwort-Registers 60i in das CRC-Rechenregister 72 übertragen und daraus erneut das CRC-Wort berechnet. Dieses CRC-Wort wird mit dem in dem zugeordneten CRC-Wort-Register 61i gespeicherten

CRC-Wort verglichen. Wenn beide Worte nicht übereinstimmen, wird eine Fehlermeldung F erzeugt oder ein entsprechendes Fehler-Flag gesetzt. Wenn beide CRC-Worte übereinstimmen, wird das ausgelesene 32 Bit Datenwort auf den Datenbus 20 übertragen. Anschließend wird der Inhalt des CRC-Rechenregisters 72 in das entsprechende 128 Bit Speicherwort-Register 60i zurückgeführt.

Figur 6 zeigt mehrere Speicherwort-Register 10a, 10b,... 10x, für 32 Bit Datenworte sowie ein 32 Bit Paritätswort-Register 12, wobei für jede Stelle beispielhaft ein Bit mit dem Wert 0 oder 1 dargestellt ist.

Im Unterschied zu der in den Figuren 4 und 5 gezeigten, wortorientierten Prüfbit-Erzeugung wird gemäß Figur 6 eine spaltenorientierte Parität erzeugt, bei der für jeweils gleiche Stellen aller Datenworte ein Paritäts-Bit ermittelt wird, das an eine zugeordnete Stelle in dem 32 Bit Paritätswort-Register 12 eingeschrieben wird. Auf diese Weise ergibt sich ein 32 Bit Paritätswort. Weiterhin kann nun zu diesem 32 Bit Paritätswort in gleicher Weise wie es für die wortorientierte Parität anhand der Figur 4 beschrieben wurde, ein 2 Bit Paritätswort erzeugt und in dem 2 Bit Paritätswort-Register 13 (siehe Figur 1) abgespeichert werden. Entsprechend der vorstehend beschriebenen Weise kann auch eine spaltenorientierte Paritätsprüfung bei der Ausführungsform gemäß Fig. 5 mit 128 Bit breiten Datenworten durchgeführt werden.

Während des Schreibens eines neuen Datenwortes in einem der Wortregister 10i des RAM Moduls wird zunächst der Inhalt des Datenwortes der zu beschreibenden Speicherstelle im RAM Modul, d.h. im Beispiel ein 32 Bit Datenwort-Register 10i, sowie das 32 Bit Paritätswort-Register 12 ausgelesen. Anschließend wird der Wert des spaltenorientierten 32 Bit Paritätsworts erneut ermittelt und beschrieben.

Darauffolgend wird das neue Datenwort in die entsprechenden Datenwort-Register 10i zurückgeschrieben und der Inhalt des 32 Bit Paritätswort-Registers 12 neu ermittelt. Im Anschluss daran kann zu dem 32 Bit Paritätswort wieder eine 2 Bit Parität erzeugt und in dem 2 Bit Paritätswort-Register 13 (siehe Figur 1) gespeichert werden.

Während eines normalen Lesevorgangs wird vorzugsweise keine Fehlerüberprüfung durchgeführt. Eine zusätzliche Fehlerprüfung kann dadurch erfolgen, daß in der vorstehend beschriebenen Weise beispielsweise zum Zeitpunkt während eines Lesevorgangs der Inhalt sämtlicher Datenwort-Register 10i ausgelesen wird, das spaltenorientierte 32 Bit Paritätswort erneut erzeugt und mit dem in dem Paritätswort-Register 12 gespeicherten Paritätswort verglichen wird. Wenn die Paritätsworte nicht übereinstimmen, wird eine Fehlermeldung F erzeugt oder ein entsprechendes Fehler-Flag gesetzt. Wenn die Paritätsworte übereinstimmen, wird das ausgelesene Datenwort auf den Datenbus 20 übertragen. Die hier beschriebene Ausführungsform zur spaltenorientierten Fehlerprüfung im ganzen RAM wird sinnvollerweise nicht bei jedem Schreib- oder Lesevorgang, sondern mit bestimmten Zeitabständen vorgenommen, wobei die Zeitabstände durch die verwendete Software vorgegeben sein können. Die Entscheidung, ob diese

Fehlerprüfung erfolgt oder nicht, wird bevorzugt durch die verwendete Software vorgenommen.

Das 2 Bit Paritätswort des 32 Bit Paritätswortes kann in gleicher Weise zur Fehlerüberprüfung verwendet werden, wie es anhand der Figuren 2 bis 4 für die 2 Bit Paritätsworte der Datenwörter beschrieben wurde.

Anstelle der spaltenorientierten Parität kann auch eine spaltenorientierte CRC (Cyclic Redundancy Check) -Summe gebildet und zur Fehlerprüfung verwendet werden. Auch hierbei wird vor dem Schreiben und / oder Lesen eines Wortes zunächst der Inhalt sämtlicher Datenwort-Register 10i sowie des Prüfbit-Registers 12 ausgelesen und erneut das CRC-Wort ermittelt. Wenn dieses CRC-Wort nicht mit dem gespeicherten CRC-Wort übereinstimmt, wird eine Fehlermeldung F erzeugt oder ein entsprechendes Fehler-Flag gesetzt. Wenn beide CRC-Worte übereinstimmen, wird der Schreib- oder Lesevorgang in der oben für die spaltenorientierte Paritätswort-Erzeugung beschriebenen Weise abgeschlossen.

Mit der spaltenorientierten Parität sowie einem zyklisch ablaufenden Paritäts-Test bzw. der CRC-Prüfsumme und einer zyklischen CRC-Berechnung lassen sich auch Fehler im Adress-Decoder sowie Doppel-Bitfehler und weitere Fehler ermitteln. Die Tests bzw. Berechnungen werden vorzugsweise durch eine entsprechende Software durchgeführt.

Patentansprüche

1. Verfahren zum Speichern von Datenworten in einem RAM Modul, **gekennzeichnet** durch folgende Verfahrensschritte:
Erzeugen eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben des mindestens einen Datenwortes in das RAM Modul,
Speichern des Prüfbit-Wortes,
Auslesen des Prüfbit-Wortes beim Auslesen des mindestens einen Datenwortes aus dem RAM Modul,
Erneutes Erzeugen des Prüfbit-Wortes aus dem mindestens einen ausgelesenen Datenwort,
Vergleichen des ausgelesenen Prüfbit-Wortes mit dem erneut erzeugten Prüfbit-Wort und Erzeugen einer Fehlermeldung, wenn diese nicht übereinstimmen.
2. Verfahren nach Anspruch 1, dadurch **gekennzeichnet**, dass das Prüfbit-Wort durch Ermittlung von Paritätsbits gebildet wird.
3. Verfahren nach Anspruch 2, dadurch **gekennzeichnet**, dass aus jedem Datenwort ein 2 Bit Paritätswort gebildet wird, wobei aus jedem Daten-Halbwort jeweils ein Paritätsbit ermittelt wird.
4. Verfahren nach Anspruch 1 oder 2, dadurch **gekennzeichnet**, dass aus einer Anzahl von Datenworten ein Paritätswort erzeugt wird, dessen Paritätsbits jeweils aus gleichen Stellen aller Datenworte ermittelt werden.

5. Verfahren nach Anspruch 1, dadurch **gekennzeichnet**, dass die Prüfbit-Worte durch Berechnung von CRC-Worten gebildet werden.
6. Verfahren nach Anspruch 5, dadurch **gekennzeichnet**, dass jeweils eine Anzahl von Datenworten zu einem Speicherwort zusammengefasst wird und daraus ein zugeordnetes CRC-Wort berechnet wird.
7. Schaltungsanordnung zum Speichern von Datenworten in einem RAM Modul, **gekennzeichnet** durch:
eine erste Schaltungseinheit (21) zur Erzeugung eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben und Lesen des mindestens einen Datenwortes, eine Anzahl von Registern (11i, 61i) zur zugeordneten Speicherung von Prüfbit-Worten für die Datenworte, sowie eine zweite Schaltungseinheit (22), mit der beim Lesen von Datenworten das zugeordnete Prüfbit-Wort mit dem durch die erste Schaltungseinheit (21) erneut erzeugten Prüfbit-Wort verglichen wird, sowie zur Erzeugung einer Fehlermeldung (F), wenn die Prüfbit-Worte nicht übereinstimmen.
8. Schaltungsanordnung nach Anspruch 7, dadurch **gekennzeichnet**, dass die Anzahl von Registern durch erste 2 Bit Paritätsregister (11i) gebildet ist, wobei jedem Datenwort ein 2 Bit Paritätsregister zugeordnet ist.
9. Schaltungsanordnung nach Anspruch 7, dadurch **gekennzeichnet**, dass die Anzahl von Registern durch CRC-Register (61i) gebildet ist, wobei jeweils vier Datenworten ein CRC-Register zugeordnet ist.

10. Schaltungsanordnung nach Anspruch 9, **gekennzeichnet** durch einen Multiplexer (71) zur Speicherung von jeweils vier Datenworten als ein Speicherwort, sowie eine CRC-Recheneinheit (73) zur Berechnung des CRC-Wortes aus einem Speicherwort sowie zur Speicherung des CRC-Wortes in einem zugeordneten CRC-Register (61i, 74).
11. Schaltungsanordnung nach Anspruch 10, dadurch **gekennzeichnet**, dass die Datenworte 32 Bit Worte und die CRC-Worte 9 Bit Worte sind.
12. Schaltungsanordnung nach einem der Ansprüche 7 bis 11, **gekennzeichnet** durch ein zweites Register (12) zur Speicherung eines Prüfbit-Wortes, dessen Bits jeweils aus gleichen Stellen aller Datenworte ermittelt werden, sowie ein drittes Register (13) zur Speicherung eines Prüfbit-Wortes, das aus dem Inhalt des zweiten Registers (12) ermittelt wird.

Zusammenfassung

Verfahren und Schaltungsanordnung zum Speichern von Datenworten in einem RAM Modul

Es wird ein Verfahren zum Speichern von Datenworten in einem RAM Modul beschrieben, das insbesondere für sicherheitskritische Anwendungen geeignet ist und sich durch folgende Schritte auszeichnet: Erzeugen eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben des mindestens einen Datenwortes in das RAM Modul, Speichern des Prüfbit-Wortes, Auslesen des Prüfbit-Wortes beim Auslesen des mindestens einen Datenwortes aus dem RAM Modul, Erneutes Erzeugen des Prüfbit-Wortes aus dem mindestens einen ausgelesenen Datenwort, Vergleichen des ausgelesenen Prüfbit-Wortes mit dem erneut erzeugten Prüfbit-Wort und Erzeugen einer Fehlermeldung, wenn diese nicht übereinstimmen. Weiterhin wird eine entsprechende Schaltungsanordnung beschrieben.

(Fig. 3)

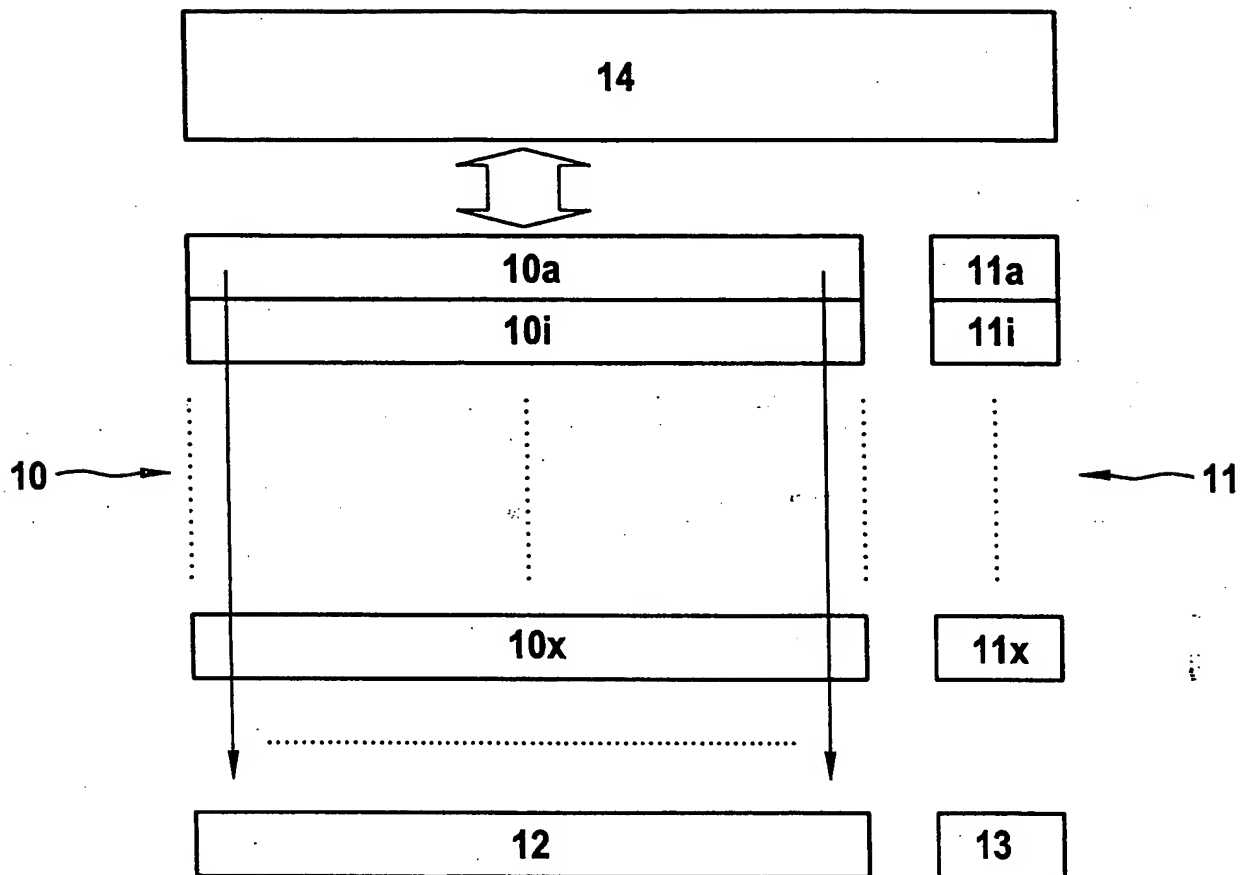


Fig. 1

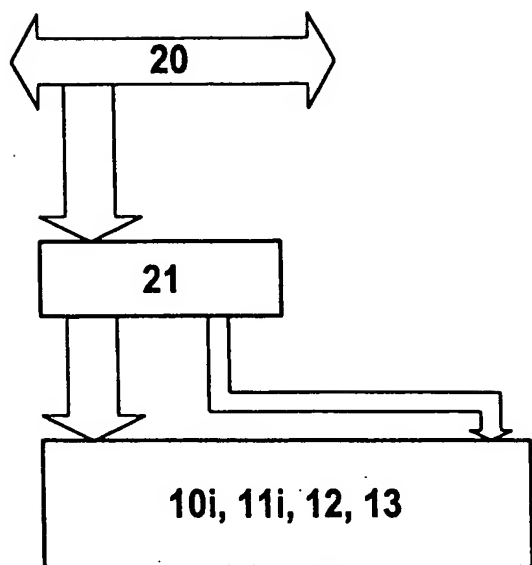


Fig. 2

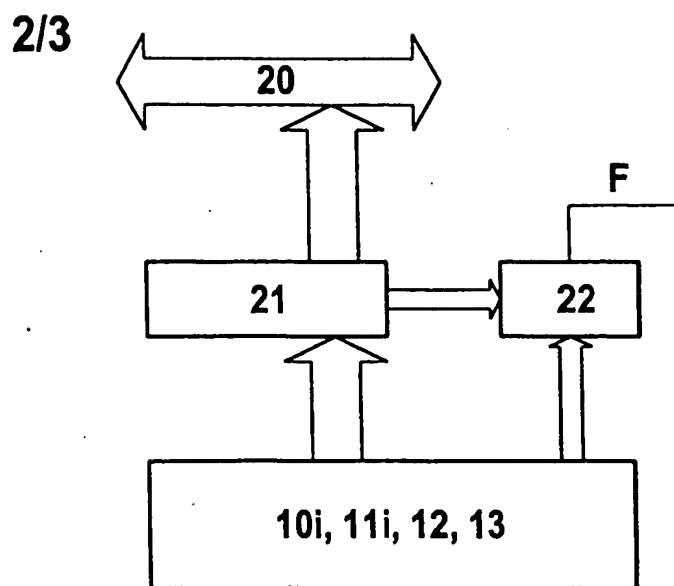


Fig. 3

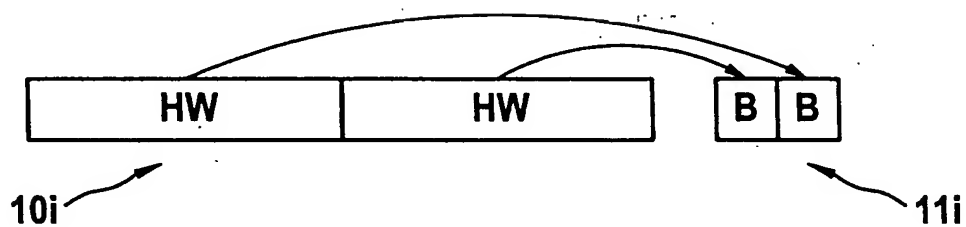


Fig. 4

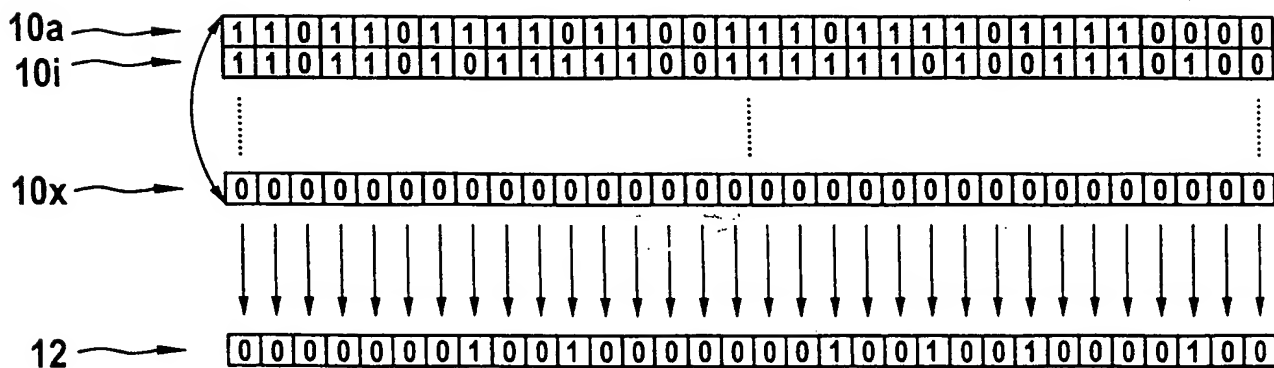


Fig. 6

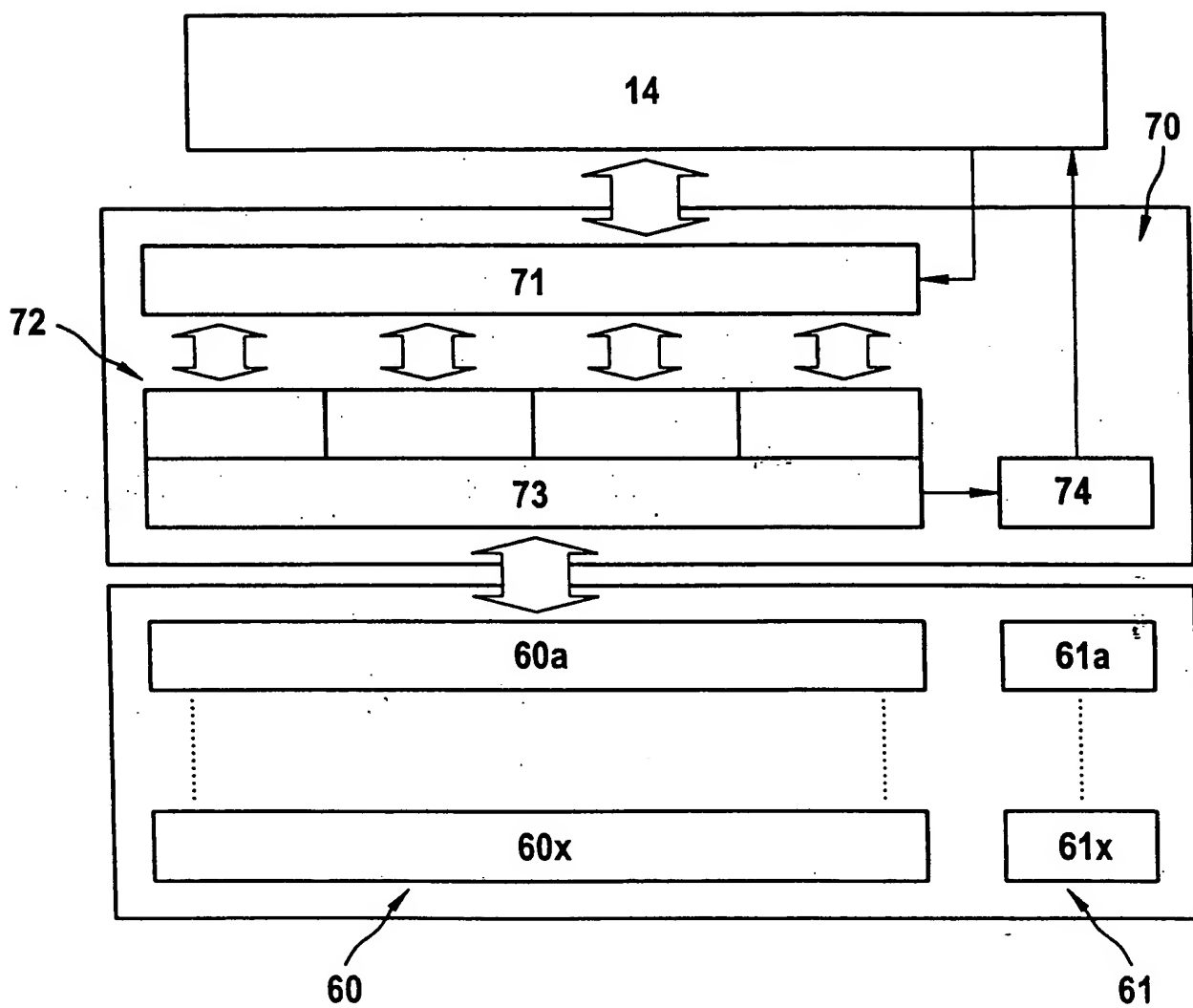


Fig. 5

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

(Artikel 36 und Regel 70 PCT)



Aktenzeichen des Anmelders oder Anwalts PC9722BR/ad	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsberichts (Formblatt PCT/IPEA/416)	
Internationales Aktenzeichen PCT/EP00/08398	Internationales Anmeldedatum (Tag/Monat/Jahr) 29/08/2000	Prioritätsdatum (Tag/Monat/Tag) 22/09/1999
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK G06F11/10		
Anmelder CONTINENTAL TEVES AG & CO. OHG et al.		

- Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationalen vorläufigen Prüfung beauftragten Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.
- Dieser BERICHT umfaßt insgesamt 6 Blätter einschließlich dieses Deckblatts.
 - ☐ Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

Diese Anlagen umfassen insgesamt Blätter.

3. Dieser Bericht enthält Angaben zu folgenden Punkten:

- I ☒ Grundlage des Berichts
- II ☐ Priorität
- III ☐ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
- IV ☐ Mangelnde Einheitlichkeit der Erfindung
- V ☒ Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
- VI ☐ Bestimmte angeführte Unterlagen
- VII ☒ Bestimmte Mängel der internationalen Anmeldung
- VIII ☒ Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags 17/04/2001	Datum der Fertigstellung dieses Berichts 05.12.2001
Name und Postanschrift der mit der internationalen vorläufigen Prüfung beauftragten Behörde:  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Bozas, I Tel. Nr. +49 89 2399 7408 

I. Grundlage des Berichts

1. Hinsichtlich der **Bestandteile** der internationalen Anmeldung (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt, weil sie keine Änderungen enthalten (Regeln 70.16 und 70.17)*):
Beschreibung, Seiten:

1-10 ursprüngliche Fassung

Patentansprüche, Nr.:

1-12 ursprüngliche Fassung

Zeichnungen, Blätter:

1/4-4/4 ursprüngliche Fassung

2. Hinsichtlich der **Sprache**: Alle vorstehend genannten Bestandteile standen der Behörde in der Sprache, in der die internationale Anmeldung eingereicht worden ist, zur Verfügung oder wurden in dieser eingereicht, sofern unter diesem Punkt nichts anderes angegeben ist.

Die Bestandteile standen der Behörde in der Sprache: zur Verfügung bzw. wurden in dieser Sprache eingereicht; dabei handelt es sich um

- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht worden ist (nach Regel 23.1(b)).
- ☐ die Veröffentlichungssprache der internationalen Anmeldung (nach Regel 48.3(b)).
- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht worden ist (nach Regel 55.2 und/oder 55.3).

3. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale vorläufige Prüfung auf der Grundlage des Sequenzprotokolls durchgeführt worden, das:

- ☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.
- ☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- ☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- ☐ Die Erklärung, daß die in computerlesbarer Form erfassten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung, Seiten:
☐ Ansprüche, Nr.:
☐ Zeichnungen, Blatt:

5. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).

(Auf Ersatzblätter, die solche Änderungen enthalten, ist unter Punkt 1 hinzuweisen; sie sind diesem Bericht beizufügen).

6. Etwaige zusätzliche Bemerkungen:

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Feststellung

Neuheit (N)	Ja: Ansprüche	
	Nein: Ansprüche	1-12
Erfinderische Tätigkeit (ET)	Ja: Ansprüche	
	Nein: Ansprüche	1-12
Gewerbliche Anwendbarkeit (GA)	Ja: Ansprüche	1-12
	Nein: Ansprüche	

**2. Unterlagen und Erklärungen
siehe Beiblatt**

VII. Bestimmte Mängel der internationalen Anmeldung

Es wurde festgestellt, daß die internationale Anmeldung nach Form oder Inhalt folgende Mängel aufweist:
siehe Beiblatt

VIII. Bestimmte Bemerkungen zur internationalen Anmeldung

Zur Klarheit der Patentansprüche, der Beschreibung und der Zeichnungen oder zu der Frage, ob die Ansprüche in vollem Umfang durch die Beschreibung gestützt werden, ist folgendes zu bemerken:
siehe Beiblatt

Zu Punkt V

**Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der
erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und
Erklärungen zur Stützung dieser Feststellung**

1. Es wird auf die folgenden Dokumente verwiesen:

D1: US-A-4 277 844

D2: US-A-4 710 934

D3: US-A-3 972 033

2. Neuheit, Artikel 33(2) PCT:

Die Anmeldung erfüllt aus folgenden Gründen nicht das in Artikel 33(2) PCT
genannte Kriterium bezüglich Neuheit:

- 2.1 Anspruch 1:

D1 wird als nächstliegender Stand der Technik gegenüber dem Gegenstand des
unabhängigen Anspruchs 1 angesehen. D1 offenbart alle Merkmale des
Anspruchs (die Verweise in Klammern beziehen sich auf dieses Dokument):

Verfahren zum Speichern von Datenworten in einem RAM Modul

(Zusammenfassung) gekennzeichnet durch folgende Verfahrensschritte:

Erzeugen eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben
des mindestens einen Datenwortes in das RAM Modul, Speichern des Prüfbit-
Wortes (Spalte 1, Zeile 65 - Spalte 2, Zeile 1; Figur 5a), Auslesen des Prüfbit-
Wortes beim Auslesen des mindestens einen Datenwortes aus dem RAM Modul,
Erneutes Erzeugen des Prüfbit-Wortes aus dem mindestens einen ausgelesenen
Datenwort, Vergleichen des ausgelesenen Prüfbit-Wortes mit dem erneut
erzeugten Prüfbit-Wort und Erzeugen einer Fehlermeldung, wenn diese nicht
übereinstimmen (Spalte 2, Zeilen 1-10; Figur 5b;).

- 2.2 Anspruch 7:

D1 offenbart auch alle Merkmale des unabhängigen Anspruchs 7 (die Verweise in
Klammern beziehen sich auf dieses Dokument):

Schaltungsanordnung zum Speichern von Datenworten in einem RAM Modul (Figuren 1 und 2; Spalte 3, Zeilen 53-58), gekennzeichnet durch: eine erste Schaltungseinheit zur Erzeugung eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben und Lesen des mindestens einen Datenwortes (Figur 6 (26) und (30); Spalte 7, Zeilen 54-67; Figur 7 (36), Spalte 8, Zeilen 9-11) eine Anzahl von Registern zur zugeordneten Speicherung von Prüfbit-Worten für die Datenworte (Figur 2 (65), (72), (24)), sowie eine zweite Schaltungseinheit, mit der beim Lesen von Datenworten das zugeordnete Prüfbit- Wort mit dem durch die erste Schaltungseinheit erneut erzeugten Prüfbit-Wort verglichen wird, sowie zur Erzeugung einer Fehlermeldung, wenn die Prüfbit-Worte nicht übereinstimmen (Figur 7, (38); Spalte 8, Zeilen 14-21).

2.3 Dokument D2 offenbart auch alle aufgeführte Merkmale der unabhängigen Ansprüchen 1 und 7 (siehe D2, Zusammenfassung; Figur 1; Spalte 1, Zeile 52 - Spalte 3, Zeile 12). Der Gegenstand dieser unabhängigen Ansprüche ist somit auch gegenüber D2 nicht neu.

2.4 Ansprüche 2-6 und 8-12:

Die abhängigen Ansprüche 2-6 und 8-12 enthalten keine Merkmale, die in Kombination mit den Merkmalen irgendeines Anspruchs, auf den sie sich beziehen, die Erfordernisse des PCT in bezug auf Neuheit bzw. erfinderische Tätigkeit erfüllen (siehe z.B. D3, Zusammenfassung; Spalte 1, Zeile 65 - Spalte 2, Zeile 56; oder D1, Spalte 5, Zeilen 5-60).

Zu Punkt VII

Bestimmte Mängel der internationalen Anmeldung

1. Im Widerspruch zu den Erfordernissen der Regel 5.1 a) ii) PCT wurden in der Beschreibung weder der in den Dokumenten D1-D3 offenbarte einschlägige Stand der Technik noch diese Dokumente angegeben.
2. Folgende Schreibfehler der internationalen Anmeldung hätten korrigiert werden sollen:

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER RECHERCHENBERICHT

(Artikel 18 sowie Regeln 43 und 44 PCT)

Aktenzeichen des Anmelders oder Anwalts PC9722BR/ad	<table style="width: 100%;"> <tr> <td style="width: 30%;">WEITERES VORGEHEN</td> <td>siehe Mitteilung über die Übermittlung des internationalen Recherchenberichts (Formblatt PCT/ISA/220) sowie, soweit zutreffend, nachstehender Punkt 5</td> </tr> </table>	WEITERES VORGEHEN	siehe Mitteilung über die Übermittlung des internationalen Recherchenberichts (Formblatt PCT/ISA/220) sowie, soweit zutreffend, nachstehender Punkt 5
WEITERES VORGEHEN	siehe Mitteilung über die Übermittlung des internationalen Recherchenberichts (Formblatt PCT/ISA/220) sowie, soweit zutreffend, nachstehender Punkt 5		
Internationales Aktenzeichen PCT/EP 00/08398	<table style="width: 100%;"> <tr> <td style="width: 35%;"> Internationales Anmeldedatum <i>(Tag/Monat/Jahr)</i> 29/08/2000 </td> <td style="width: 65%;"> (Frühestes) Prioritätsdatum <i>(Tag/Monat/Jahr)</i> 22/09/1999 </td> </tr> </table>	Internationales Anmeldedatum <i>(Tag/Monat/Jahr)</i> 29/08/2000	(Frühestes) Prioritätsdatum <i>(Tag/Monat/Jahr)</i> 22/09/1999
Internationales Anmeldedatum <i>(Tag/Monat/Jahr)</i> 29/08/2000	(Frühestes) Prioritätsdatum <i>(Tag/Monat/Jahr)</i> 22/09/1999		
Anmelder CONTINENTAL TEVES AG & CO. OHG et al.			

Dieser internationale Recherchenbericht wurde von der Internationalen Recherchenbehörde erstellt und wird dem Anmelder gemäß Artikel 18 übermittelt. Eine Kopie wird dem Internationalen Büro übermittelt.

Dieser internationale Recherchenbericht umfaßt insgesamt 2 Blätter.



Darüber hinaus liegt ihm jeweils eine Kopie der in diesem Bericht genannten Unterlagen zum Stand der Technik bei.

1. Grundlage des Berichts

- a. Hinsichtlich der **Sprache** ist die Internationale Recherche auf der Grundlage der internationalen Anmeldung in der Sprache durchgeführt worden, in der sie eingereicht wurde, sofern unter diesem Punkt nichts anderes angegeben ist.



Die Internationale Recherche ist auf der Grundlage einer bei der Behörde eingereichten Übersetzung der internationalen Anmeldung (Regel 23.1 b)) durchgeführt worden.

- b. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale Recherche auf der Grundlage des Sequenzprotokolls durchgeführt worden, das



in der internationalen Anmeldung in schriftlicher Form enthalten ist.



zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.



bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.



bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.



Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.



Die Erklärung, daß die in computerlesbarer Form erfaßten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

2. ☐ Bestimmte Ansprüche haben sich als nicht recherchierbar erwiesen (siehe Feld I).

3. ☐ Mangelnde Einheitlichkeit der Erfindung (siehe Feld II).

4. Hinsichtlich der Bezeichnung der Erfindung



wird der vom Anmelder eingereichte Wortlaut genehmigt.



wurde der Wortlaut von der Behörde wie folgt festgesetzt:

5. Hinsichtlich der Zusammenfassung



wird der vom Anmelder eingereichte Wortlaut genehmigt.



wurde der Wortlaut nach Regel 38.2b) in der in Feld III angegebenen Fassung von der Behörde festgesetzt. Der Anmelder kann der Behörde innerhalb eines Monats nach dem Datum der Absendung dieses internationalen Recherchenberichts eine Stellungnahme vorlegen.

6. Folgende Abbildung der **Zeichnungen** ist mit der Zusammenfassung zu veröffentlichen: Abb. Nr. 3



wie vom Anmelder vorgeschlagen



weil der Anmelder selbst keine Abbildung vorgeschlagen hat.



weil diese Abbildung die Erfindung besser kennzeichnet.



keine der Abb.

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

EP 00/08398

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 G06F11/10

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 G06F

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 3 972 033 A (CISLAGHI EZIO ET AL) 27. Juli 1976 (1976-07-27) Anspruch 1	1-3
X	US 4 710 934 A (TRAYNOR KEVIN) 1. Dezember 1987 (1987-12-01) Spalte 1, Zeile 52 - Spalte 2, Zeile 10 Spalte 2, Zeile 62 - Spalte 3, Zeile 12	1, 4, 7, 8
X	US 4 277 844 A (BURNS WILLIAM A ET AL) 7. Juli 1981 (1981-07-07)	1, 5, 6
A	Ansprüche 1, 3; Abbildung 4	7-12

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

17. November 2000

Absendedatum des internationalen Recherchenberichts

24/11/2000

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Huyghe, E

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die derselben Patentfamilie gehören

Internationales Aktenzeichen

PCT/JP 00/08398

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 3972033 A	27-07-1976	IT 1002271 B	20-05-1976
		FR 2272466 A	19-12-1975
		JP 1153421 C	30-06-1983
		JP 50118633 A	17-09-1975
		JP 57038997 B	18-08-1982
US 4710934 A	01-12-1987	JP 62175846 A	01-08-1987
US 4277844 A	07-07-1981	KEINE	